

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-229575
 (43)Date of publication of application : 15.08.2003

(51)Int.Cl. H01L 29/786
 H01L 21/027
 H01L 21/8238
 H01L 21/8242
 H01L 21/8244
 H01L 27/08
 H01L 27/092
 H01L 27/10
 H01L 27/108
 H01L 27/11

(21)Application number : 2002-026278
 (22)Date of filing : 04.02.2002

(71)Applicant : HITACHI LTD
 (72)Inventor : HISAMOTO MASARU
 TERASAWA TSUNEO

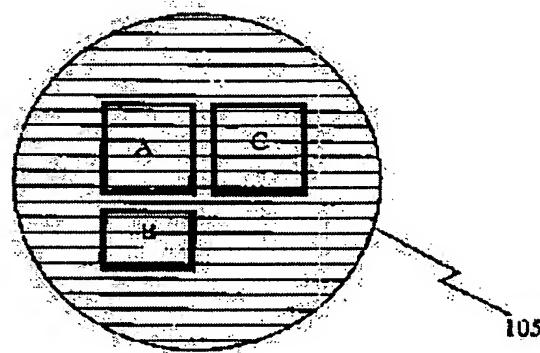
(54) INTEGRATED SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for an integrated semiconductor device in which MOSFETs using a fine vertical thin film are integrated.

SOLUTION: In the manufacturing method for the integrated semiconductor device, a semiconductor layer on a substrate is worked into a striped pattern, a cyclic vertical type thin film is formed, a part of the vertical type thin film is removed by patterns A, B and C having at least one side in a direction crossing the striped pattern and gate electrodes are formed via gate insulating films on both sides of the desired part of the remaining vertical type thin film.

図 5



LEGAL STATUS

[Date of request for examination] 20.01.2005
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of

Best Available Copy

rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(51) Int. C1.	識別記号	F I	テーマコード	(参考)
H01L 29/786	H01L 29/08	331	E 5F046	
21/027	27/10	481	5F048	
21/8238	29/78	617	K 5F083	
21/8242		618	E 5F110	
21/8244	27/08	321	C	

審査請求 未請求 請求項の数20 O L (全18頁) 最終頁に続く

(21)出願番号 特願2002-26278(P 2002-26278)

(22)出願日 平成14年2月4日(2002.2.4)

(71)出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地

(72)発明者 久本 大
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

(72)発明者 寺澤 恒男
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

(74)代理人 100068504
 弁理士 小川 勝男 (外2名)

最終頁に続く

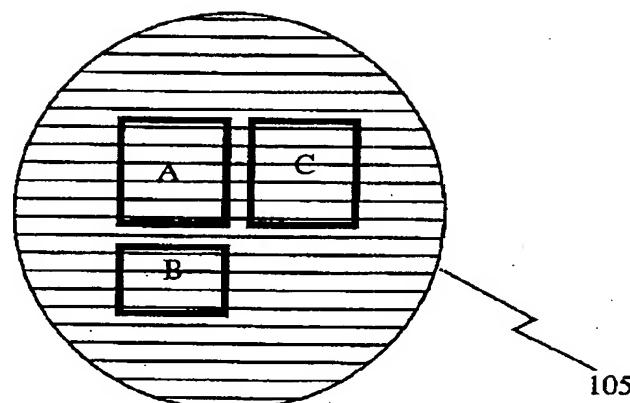
(54)【発明の名称】集積半導体装置及びその製造方法

(57)【要約】

【課題】微細な縦型薄膜を用いたMOSFETを集積する集積半導体装置の製造方法を提供すること。

【解決手段】基板上の半導体層を縞状のパターンに加工し、周期を持った縦型の薄膜を形成し、縞状のパターンと交差する方向に少なくとも一辺を持つパターンA、B、Cにより、縦型の薄膜の一部分を除去し、残された縦型の薄膜の所望の部分の両側にゲート絶縁膜を介してゲート電極を形成するようにした集積半導体装置の製造方法。

図 5



【特許請求の範囲】

【請求項 1】 基板上の半導体層を縦状のパターンに加工し、周期を持った縦型の薄膜を形成する工程、上記縦状のパターンと交差する方向に少なくとも一辺を持つパターンにより、上記縦型の薄膜の一部分を除去する工程及び残された上記縦型の薄膜の所望の部分の両側にゲート絶縁膜を介してゲート電極を形成する工程を有することを特徴とする集積半導体装置の製造方法。

【請求項 2】 上記集積半導体装置は、少なくとも 2 個のトランジスタを有し、該 2 個のトランジスタは、不活性領域を介して上記縦型の薄膜の長手方向に隣接し、上記複数の縦型の薄膜の内の所望の一つの薄膜が上記除去によって残された部分は、少なくとも上記隣接する 2 個のトランジスタがそれぞれ配置される領域に位置することを特徴とする請求項 1 記載の集積半導体装置の製造方法。

【請求項 3】 上記所望の一つの薄膜は、少なくとも上記 2 個のトランジスタがそれぞれ配置される領域の間で上記除去により除去されていることを特徴とする請求項 2 記載の集積半導体装置の製造方法。

【請求項 4】 上記所望の一つの薄膜は、上記 2 個のトランジスタがそれぞれ配置される領域の間も連続して存在していることを特徴とする請求項 2 記載の集積半導体装置の製造方法。

【請求項 5】 上記縦状のパターンは、光の干渉を利用して形成されたことを特徴とする請求項 1 から 4 のいずれか一に記載の集積半導体装置の製造方法。

【請求項 6】 上記半導体層は、絶縁膜上に配置されていることを特徴とする請求項 1 から 5 のいずれか一に記載の集積半導体装置の製造方法。

【請求項 7】 基板上の半導体層を、周期を持った複数の縦型の薄膜に加工する工程、該複数の縦型の薄膜の長手方向の所望の部分を除去する工程及び残された上記縦型の薄膜の所望の部分の両側面にゲート絶縁膜を介してゲート電極を形成する工程を有することを特徴とする集積半導体装置の製造方法。

【請求項 8】 上記集積半導体装置は、少なくとも 2 個のトランジスタを有し、該 2 個のトランジスタは、不活性領域を介して上記縦型の薄膜の長手方向に隣接し、上記複数の縦型の薄膜の内の所望の一つの薄膜が上記除去によって残された部分は、少なくとも上記隣接する 2 個のトランジスタがそれぞれ配置される領域に位置することを特徴とする請求項 7 記載の集積半導体装置の製造方法。

【請求項 9】 上記所望の一つの薄膜は、少なくとも上記 2 個のトランジスタがそれぞれ配置される領域の間で上記除去により除去されていることを特徴とする請求項 8 記載の集積半導体装置の製造方法。

【請求項 10】 上記所望の一つの薄膜は、上記 2 個のトランジスタがそれぞれ配置される領域の間で連続してい

ることを特徴とする請求項 8 記載の集積半導体装置の製造方法。

【請求項 11】 上記複数の縦型の薄膜は、光の干渉を利用して形成されたパターンを用いて形成されたことを特徴とする請求項 7 から 10 のいずれか一に記載の集積半導体装置の製造方法。

【請求項 12】 上記半導体層は、絶縁膜上に配置されていることを特徴とする請求項 7 から 11 のいずれか一に記載の集積半導体装置の製造方法。

10 【請求項 13】 チャネルを構成する縦型の薄膜を備えたトランジスタの少なくとも 2 個が、該縦型の薄膜の長手方向に、不活性領域を介して隣接する構造を有する集積半導体装置の製造方法であって、基板上の半導体層を加工し、上記縦型の薄膜がその長手方向に連続した構造を形成する第 1 の工程、上記縦型の薄膜がその長手方向に連続した構造の少なくとも両端部の所望の範囲を除去する第 2 の工程及び上記縦型の薄膜の所望の 2箇所の部分の両側に、それぞれゲート絶縁膜を介してゲート電極を形成し、上記チャネルを構成する第 3 の工程を有し、上記ゲート絶縁膜を介してゲート電極が形成された上記縦型の薄膜の所望の 2箇所の部分を、一方が上記 2 個のトランジスタの一方に、他方が上記 2 個のトランジスタの他方に配置することを特徴とする集積半導体装置の製造方法。

20 【請求項 14】 上記縦型の薄膜は、少なくとも上記 2 個のトランジスタがそれぞれ配置される領域の間で上記第 2 の工程の除去のときに除去されることを特徴とする請求項 13 記載の集積半導体装置の製造方法。

【請求項 15】 上記縦型の薄膜は、上記 2 個のトランジスタの間が連続した構造であることを特徴とする請求項 13 記載の集積半導体装置の製造方法。

30 【請求項 16】 基板上の絶縁膜上に配置された縦型の薄膜を有するトランジスタを少なくとも 2 個具備し、該 2 個のトランジスタは、不活性領域を介して上記縦型の薄膜の長手方向に隣接し、上記縦型の薄膜は、それぞれの所望の部分の両側にゲート絶縁膜を介してゲート電極が形成されて上記トランジスタのチャネルを構成し、上記 2 個のトランジスタの一方のチャネルを構成する縦型の薄膜の長手方向の延長上に、上記トランジスタの他方のチャネルを構成する縦型の薄膜が配置されていることを特徴とする集積半導体装置。

40 【請求項 17】 上記縦型の薄膜は、上記 2 個のトランジスタの間が連続した構造であることを特徴とする請求項 16 記載の集積半導体装置の製造方法。

【請求項 18】 周期を持って配置された縦型の薄膜が基板上の絶縁膜上に配置され、少なくとも 2 個のトランジスタが、不活性領域を介して上記縦型の薄膜の長手方向に隣接した構造を具備し、上記縦型の薄膜の内の所望の一つは、上記 2 個のトランジスタの一方の領域にあり、該所望の一つの縦型の薄膜の長手方向の延長上で、か

つ、上記トランジスタの他方の領域の上に、さらに上記縦型の薄膜が配置されていることを特徴とする集積半導体装置。

【請求項19】上記所望の一つの縦型の薄膜と、上記他方のトランジスタの領域の上の縦型の薄膜は、その間が連続した縦型の薄膜であることを特徴とする請求項18記載の集積半導体装置。

【請求項20】上記所望の一つの縦型の薄膜と、上記他方のトランジスタの領域の上の縦型の薄膜は、それぞれの所望の部分の両側にゲート絶縁膜を介してゲート電極が形成されて上記一方及び他方のトランジスタのチャネルをそれぞれ構成することを特徴とする請求項18又は19記載の集積半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積半導体装置及びその製造方法に係わり、特にMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 構造を有する集積半導体装置及びその製造方法に関する。

【0002】

【従来の技術】MOSFETは、単純な構造と、自己整合を取り入れた形成プロセスにより、再現性よくトランジスタを形成することができることから、大規模な集積に好適な素子と考えられている。また、N型とP型のトランジスタを組み合わせ、相補的動作をするCMOS (Complementary Metal Oxide Semiconductor Field Effect Transistor) 回路を構成することができることから、低消費電力化にも適しており、広く応用されてきている。形成プロセスにおいて、イオン打ち込み法によりN型領域とP型領域を容易に作り分けられることを有効に活用できるためである。また、MOSFETの素子性能向上のため、素子を小さくする、いわゆる“スケーリング”が進められてきた結果、ゲート長が100nm以下のデバイスが作られるようになってきている。こうしたデバイスにおいては、ソース、ドレイン間に生じるリーキ電流を制御することが困難なため、この制御がデバイス動作上の重要課題となっている。従来、リーキ電流低減のためには、チャネル部の不純物濃度を高くすることで、リーキ電流に対するボテンシャル障壁を作ることが行われてきた。しかし、ゲート長が短くなることで、極めて高い濃度とすることが必要となり、例えばpn接合の接合特性といったデバイス信頼性上の問題や、電流駆動力の低下といった性能上の問題を生じるようになってきている。

【0003】これに対して、不純物濃度に依らずにリーキ電流を低減させる方法として、薄膜SOI (Silicon On Insulator) を用いることが考えられている。SOIとは、シリコンの支持基板上に酸化膜層を置き、その上に単結晶シリコン層を持った構造の基板のことである。以下ここでは、説明を分かり易く

するため、この酸化膜を埋め込み酸化膜と呼ぶことにする。この構造の基板を用いる利点は、チャネルとなるシリコン領域の厚さを極めて薄く作ることができるため、リーキ電流のバスを消滅させることができる点にある。こうしたSOIを用いたデバイスのなかでも、ゲート電極による制御性を高めた構造として、ダブルゲート構造が考えられている。これは、埋め込み酸化膜に代えてゲート電極を配するものである。すなわちチャネルの両側をゲート電極で挟むことでリーキ電流バスを無くすと同時に、より効果的にゲート電極による制御を可能にする構造である。しかし、ダブルゲート構造を形成するには、ゲート電極の上にチャネルを積層し、さらに、ゲート電極を積層した多層構造を作ることが必要と考えられ実現が困難と考えられてきた。

【0004】この課題を解決する方法として、縦型薄膜を用いる方法が考えられている。この構造は、1989年アイ、イー、イー、イー、インタナショナル、エレクトロン、デバイス、ミーティング、テクニカル、ダイジェスト 833頁から836頁 (IEEE International Electron Device Meeting Technical Digest p 833 (1989)) に記述されている。そこでDELT Aと呼ばれているデバイスにおいて、それまで基板面と平行に置かれていたチャネルとなる薄膜シリコン領域を基板面と垂直に立てられた薄膜を用いて形成することで、ダブルゲートが実現できることが示されている。以下ここでは、この縦型薄膜を用いたデバイス構造をDELT A構造と、また縦型薄膜をフィンとよぶことにする。また、DELT A構造を用いたデバイスとしては、

1998年アイ、イー、イー、イー、インタナショナル、エレクトロン、デバイス、ミーティング、テクニカル、ダイジェスト 1032頁から1034頁 (IEEE International Electron Device Meeting Technical Digest p 1032 (1998)) に記述されている。ここでは、ゲート電極とソース、ドレイン電極を形成するプロセス順を前記と入れ替えることで、微細なゲートが形成できることが示されている。DELT A構造の代表的レイアウトを図1に、また、図1のAA‘方向の断面形状を図2の左側に、また、図1のBB‘方向の断面形状を図2の右側に示した。基板100の埋め込み酸化膜900上に形成されたソース電極200、ドレイン電極200及びゲート電極430の配置を分かりやすく示すため、AA‘断面では、ゲート電極430まで形成した様子で、また、BB‘方向では、その後のメタル配線等の形状を破線を用いて示した。

【0005】これらDELT A構造の特色として、チャネル300がフィン(縦型薄膜)130に形成されているため、平面レイアウト面積に対して、大きなチャネル幅を確保することができることが挙げられる。すなわ

ち、MOSFETにおいて一般的にチャネル電流は、チャネル幅に比例し、チャネル長に反比例する関係がある。従来のMOSFETでは、基板面にチャネルを形成するため、平面レイアウトしたチャネル幅に電流が比例していた。これに対して、DELT A構造では、チャネル幅は、フィンの高さにより決められることになる。この様子を図2の左側に示したものと同様に図1のAA'断面を用いて図3に示した。図3において、フィン130の高さhが、従来のチャネル幅に相当することになる。実際には、図2に示したようにフィンの両面にチャネルが形成されるため、 $2 \times h$ がチャネル幅に相当することになる。よってDELT A構造の電流値は、チャネル幅に相当する $2 \times h$ と配置したフィンの数の積により表されることになる。このとき、隣のフィンとの間隔、すなわちピッチをWpとすると、 $2h > Wp$ においては、通常のMOSFETに比べ単位レイアウト面積あたり、多くの電流を流すことが可能になることを示している。すなわちフィンの高さを高くすることで、レイアウトを変えることなく電流を増大させることができる特長がある。

【0006】

【発明が解決しようとする課題】しかし、DELT A構造を用いて良好なデバイス性能を得るには、フィン幅(図3においてWfで示した)をゲート長に比べ小さくすることが必要である。また前述したようにMOSFETで大きな電流駆動力を得るには、ゲート長を小さくすることが必要なため、ゲート長をできるだけ小さな寸法で、例えば最小加工寸法で形成することが求められる。そのため、最小加工寸法であるゲート長より小さな幅をもったフィンを形成することは、大きな課題となる。特に微細パターン形成法として知られる方法では、様々な周囲の影響を受ける現象が知られており、パターン形成が一層困難なものになっている。例えば、従来のリソグラフィー技術によるパターン形成では、図4に示すように、細いパターンの端は、まるまつたり、長手方向にパターンが縮む現象が生じることが知られている。図4(a)は、設計パターンを示したもの。図4(b)は図4(a)を用いて露光した場合のレジストパターン形状を模式的に示したものである。端部が丸まり、全体の長さも小さくなる様子を示している。

【0007】対策として、図4(c)に示したように補助パターンを置くことで端部を大きくパターンングするように、予め変形量を見積もり補正することが考えられるが、非常に細かな制御を実現することが必要となる。また、電子線描画装置を用いた場合にも、近接効果と呼ばれる周囲のパターンによる影響を受ける現象が知られており、フィンパターンを作る上で障害となる。

【0008】さらに、リソグラフィー技術によるパターン形成後の加工においても、例えば、ドライエッチングも、周囲のエッチング密度等による影響を受けることが

知られており、パターンが密集しているところと、疎な部分では、同じ寸法、形状のマスクを用いても、加工寸法が異なることが生じる。

【0009】LSI上には、例えばメモリ部のように、極めて密集度が高くなつた領域や、I/O部等のようにそれほど素子数が多くないところが存在している。また、密集部においても密集部の中央付近と周辺部では、パターンにとって周囲の状況が大きく異なることになる。これらに対して全ての効果を勘案して補正する対策は、形成しなければならないパターンの寸法が最小加工寸法か、それ以下であることを考えると、原理的にはできるが工業的に実現できるものではない。

【0010】本発明の第1の目的は、微細な縦型薄膜を用いたMOSFETを集積する集積半導体装置の製造方法を提供することにある。

【0011】本発明の第2の目的は、微細な縦型薄膜を用いたMOSFETが集積された集積半導体装置を提供することにある。

【0012】

【課題を解決するための手段】上記第1の目的を達成するため、本発明の集積半導体装置の製造方法は、基板上の半導体層を縦状のパターンに加工し、周期を持った縦型の薄膜を形成する工程、上記縦状のパターンと交差する方向に少なくとも一辺を持つパターンにより、上記縦型の薄膜の一部分を除去する工程及び残された上記縦型の薄膜の所望の部分の両側にゲート絶縁膜を介してゲート電極を形成する工程を備えるようにしたものである。

【0013】この方法によって製造された集積半導体装置は、少なくとも2個のトランジスタを有し、この2個のトランジスタが、不活性領域を介して上記縦型の薄膜の長手方向に隣接し、上記複数の縦型の薄膜の内の所望の一つの薄膜が上記除去によって残された部分が、少なくとも上記隣接する2個のトランジスタがそれぞれ配置される領域に位置するようにすることが好ましい。上記所望の一つの薄膜は、少なくとも上記2個のトランジスタがそれぞれ配置される領域の間で上記除去により除去されていてもよいし、連続して存在していてもよい。

【0014】また、上記縦状のパターンは、光の干渉を利用して形成されることが好ましい。また、上記半導体層は、絶縁膜上に配置されていることが好ましい。さらに、上記交差する方向とは縦状のパターンとほぼ直角の方向、例えば85度から95度の方向であることが好ましい。

【0015】また、上記第1の目的を達成するために、本発明の集積半導体装置の製造方法は、基板上の半導体層を、周期を持った複数の縦型の薄膜に加工する工程、この複数の縦型の薄膜の長手方向の所望の部分を除去する工程及び残された上記縦型の薄膜の所望の部分の両側面にゲート絶縁膜を介してゲート電極を形成する工程を

備えるようにしたものである。

【0016】この方法によって製造された集積半導体装置は、少なくとも2個のトランジスタを有し、この2個のトランジスタが、不活性領域を介して上記縦型の薄膜の長手方向に隣接し、上記複数の縦型の薄膜の内の所望の一つの薄膜が上記除去によって残された部分は、少なくとも上記隣接する2個のトランジスタがそれぞれ配置される領域に位置するようになると好ましい。

【0017】上記所望の一つの薄膜は、少なくとも上記2個のトランジスタがそれぞれ配置される領域の間で上記除去により除去されていてもよいし、連続していてもよい。また、上記複数の縦型の薄膜は、光の干渉を利用して形成されたパターンを用いて形成されることが好ましい。さらに、上記半導体層は、絶縁膜上に配置されていることが好ましい。

【0018】また、上記第1の目的を達成するために、本発明の集積半導体装置の製造方法は、チャネルを構成する縦型の薄膜を備えたトランジスタの少なくとも2個が、この縦型の薄膜の長手方向に、不活性領域を介して隣接する構造を有する集積半導体装置の製造方法であって、基板上の半導体層を加工し、上記縦型の薄膜がその長手方向に連続した構造を形成する第1の工程、上記縦型の薄膜がその長手方向に連続した構造の少なくとも両端部の所望の範囲を除去する第2の工程及び上記縦型の薄膜の所望の2箇所の部分の両側に、それぞれゲート絶縁膜を介してゲート電極を形成し、上記チャネルを構成する第3の工程を有し、上記ゲート絶縁膜を介してゲート電極が形成された上記縦型の薄膜の所望の2箇所の部分を、一方が上記2個のトランジスタの一方に、他方が上記2個のトランジスタの他方に配置するようにしたものである。

【0019】上記縦型の薄膜は、上記2個のトランジスタがそれぞれ配置される領域の間で上記第2の工程の除去のときに除去されてもよいし、上記2個のトランジスタの間が連続した構造であってもよい。

【0020】また、上記第2の目的を達成するために、本発明の集積半導体装置は、基板上の絶縁膜上に配置された縦型の薄膜を有するトランジスタを少なくとも2個具備し、この2個のトランジスタは、不活性領域を介して上記縦型の薄膜の長手方向に隣接し、上記縦型の薄膜は、それぞれの所望の部分の両側にゲート絶縁膜を介してゲート電極が形成されて上記トランジスタのチャネルを構成し、上記2個のトランジスタの一方のチャネルを構成する縦型の薄膜の長手方向の延長上に、上記トランジスタの他方のチャネルを構成する縦型の薄膜が配置されるようにしたものである。

【0021】上記縦型の薄膜は、上記2個のトランジスタの間が連続した構造であってもよい。

【0022】また、上記第2の目的を達成するために、本発明の集積半導体装置は、周期を持って配置された縦

型の薄膜が基板上の絶縁膜上に配置され、少なくとも2個のトランジスタが、不活性領域を介して上記縦型の薄膜の長手方向に隣接した構造を具備し、上記縦型の薄膜の内の所望の一つは、上記2個のトランジスタの一方の領域にあり、この所望の一つの縦型の薄膜の長手方向の延長上で、かつ、上記トランジスタの他方の領域の上に、さらに上記縦型の薄膜が配置されているようにしたものである。

【0023】上記所望の一つの縦型の薄膜と、上記他方のトランジスタの領域の上の縦型の薄膜は、その間が連続した縦型の薄膜であってもよい。また、上記所望の一つの縦型の薄膜と、上記他方のトランジスタの領域の上の縦型の薄膜は、それぞれの所望の部分の両側にゲート絶縁膜を介してゲート電極が形成されて上記一方及び他方のトランジスタのチャネルをそれぞれ構成することが好ましい。

【0024】また、上記縦型の薄膜の端部は、実質的に直角であることが好ましい。実質的に直角とは、その幅の中央部の70%の範囲が、上記縦型の薄膜の長手方向に対し、85度から95度の範囲にあることをいう。

【0025】

【発明の実施の形態】まず、デバイス形成前に平坦なウエハ全面に等間隔ピッチの縞状パターンを形成することで、フィンのパターニングを行う。このパターニングでは、等ピッチの一様な模様を構成するだけのため、全ての領域においてほぼ一様なパターニング及び加工状況を実現できる。そのため、様々な形状を必要とする通常のパターニングに比べ容易に微細なパターンを形成することができる。幅方向に比べパターニング及び加工が容易なフィンの長手（チャネル電流）方向は、このあと別にパターニングすることで、切り出すことができる。図5にウエハ105の部分平面模式図を示してこれを説明する。ウエハ105上に等間隔ピッチの縞状パターンを形成した後、領域A、B、C内の縞状パターンを残して他の部分の縞状パターンを除去する。これによりフィンの長手方向のパターニングが行われ、図4（a）に示した形状のフィンを形成できる。

【0026】この縞模様のパターニングは従来のマスクを用いた縮小投影露光法によるLSIのパターニング技術を用いてもよいが、それ以外の方法を用いることができるため、いわゆる最小加工寸法以下のパターニングが可能となる。以下、フィンのパターニングを行う種々の方法を説明する。

【0027】図6は露光する際の入射光をウエハ100の表面に対して角度θを持った2方向から当てることで干渉させ、この干渉縞によりパターニングすることを示したものである。この方法では、縮小投影露光のためのマスクを作らなくても、等間隔の縞パターンを精度良く形成することができる。

【0028】図7は、露光波長より狭いピッチを作れる

ことを示したものである。微細パターン形成においては、ホトマスク上に位相を反転させる層を微細ピッチでおくことで、いわゆる遮光パターンを置くことなく形成する位相シフト法が知られている。こうした位相シフトマスクによるパターニングについては、1991年アイ、イー、イー、イー、インターナショナル、エレクトロン、デバイス、ミーティング、テクニカル、ダイジェスト950頁～952頁 (IEEE International Electron Device Meeting Technical Digest 1991 p950～952) に記述されている。この方法により波長の1/2の周期のパターンを形成することができる。この際、一度露光後、4分の1ピッチ分位置を平行移動させ、2重露光を与えることで、1/2波長の半分の、極めて狭いピッチの縞状のパターニングを重ねて行うことができる。この様子を模式的に図7に示す。縦軸は任意単位を用いて露光強度を示している。また横軸は位置を表す。下側の2重に重ねて描いた波線は、2度の露光のそれによる露光強度を表している。上側の波線は、この2度の露光を重ねて得られた積算した露光強度を示している。露光分布を図中AおよびBで示している。ここで、AとBをずらして露光すると、その重ね合わせとして露光分布Cを得ることができる。このとき、Cの持つ分布は1/4波長程度まで小さくすることができる。

【0029】図8に上記とは異なる最小露光ピッチ以下の縞模様を形成する技術を示す。例えば干渉等により最小間隔 λ の縞が形成できるとき、微細なスリット800を置き、縞に対して図中で示したように角度 θ で掃引すると形成される縞のピッチは掃引方向に直行方向となるため、 $\lambda \sin \theta$ となり、最小ピッチより小さなものを得ることができる。曳引は、光学系により行うことと、ウエハ側を移動させること、また両者を組み合わせることで行うことができる。

【0030】このように、本発明によれば、さまざまな方法を用いてフィンを形成することができるようになる。以下、実施例を用いて、本発明の素子の形成方法を詳細に説明する。

【0031】図9は本発明の第1の実施例である半導体装置の平面配置を示した模式図である。SOI (Silicon on insulator) 基板上に形成する2つの導電型の異なるDELT A構造の素子を用いて示している。従来と本発明の違いは、平面図に示すように、全面にフィン130がレイアウトされていることである。一方、フィンのレイアウトを除くと、他の層は、従来と同様に配置されていることが特長である。それぞれの素子領域500、510では等間隔にパターニングされた複数のフィン130をゲート電極430が乗り越えるように配置され、このゲート電極430はコンタクトホール420と接続されている。また、フィンに形成されたソース、ドレイ

ン電極200には、それぞれコンタクトホール220が置かれ、配線に引き出されている。なお、110は活性領域を示す。

【0032】図10から図16は、図9に示した半導体装置の製造工程図である。各図は図9のフィン130に交差し、ゲート電極に沿った断面図に対応する。

【0033】埋め込み酸化膜900となる4.00 nmの厚さのシリコン酸化膜上に、表面に3.0 nmの熱酸化膜を成長させたとき酸化されずに残る単結晶シリコンの厚さが1.50 nmとなるSOI基板を形成する。図に示した表面から順に、保護膜910、SOI120、埋め込み酸化膜900、シリコン基板100の積層構造となる(図10)。

【0034】このウエハ上に等間隔の縞状のパターニングを行い、積層膜を埋め込み酸化膜900が露出するよう加工し、フィン130を形成する。このとき前述したチャネル幅2hは3.00 nmになるため、パターニングのピッチを3.00 nm以下とすることで、従来構造より多くの電流を流すことができるようになる(図11)。

【0035】素子間を分離するため、活性領域をパターニングし、不要部分のフィン130をエッチングする。この工程は、平面レイアウトに示したように、通常の素子分離プロセスと同様のレイアウトを用いることで形成される(図12)。このときレイアウト上の制約として、ゲート電極はフィンと直交するように配置されるため、チップ(ウエハ)内で全て素子が同一方向に配置される制約が生じてくる。しかし、現在LSIチップにおいては、多層配線が用いられており、その配線層間の影響を低減するため、各層毎に、ほぼ直交するように重ねてゆくように設計されている。そのため、一種の配線層であるゲート電極の配置も、同じ方向にそろえて設計されることが多い。そのため、この配置上の制約は大きな障害とはならない。

【0036】フィン側面に露出したシリコン表面を熱酸化することで2 nmのゲート絶縁膜を形成する(図示せず)。もちろん、ゲート絶縁膜として酸窒化膜や積層ゲート絶縁膜、或いは高誘電率絶縁膜材を用いることができる。従来のデバイスでは、ゲート絶縁膜がゲート加工におけるエッチングストップに使われ、ソース、ドレインといった拡散層電極領域をエッチングから保護していた。しかし、素子の電流駆動力を高くするためにはゲート絶縁膜を薄くすることが求められ、そのため、高い選択比を持ったエッチングを開発する必要があった。しかし、本構造では、シリコン領域は全て保護膜910により保護されているため、選択比について特別な配慮をしなくてもよい。そのため、超薄膜ゲート絶縁膜や、アルミナやシリケイトといった新たな材料を用いることができる。このとき、本発明方式では、すべてのフィンが同じ方向に配置されているため、フィン側面には同じ結晶

方位が現れる。そのため、電界効果型デバイスのチャネル形成に適した面方位が現われるように結晶面方位を選ぶことができる。

【0037】次に、ボロンを高濃度にドーピングしたシリコン・ゲルマニウム混晶をCVD法により300nm堆積し、CMP法を用いてSOI層の埋め込み酸化膜900上で200nm、フィン130上で50nmになるように研磨することで表面を平坦化する。タンゲステンシリサイド440を50nm堆積したのち、シリコン酸化膜920をCVD法により100nm堆積する(図13)。

【0038】既知のホトレジスト法を用いて、ゲート電極430をパターニングし、異方性ドライエッチングにより酸化膜920、タンゲステンシリサイド440及びシリコン・ゲルマニウム混晶層を順次加工する。この加工の特長は、素子としてはフィン構造による段差があつても、パターニングが平坦面上で行えることが挙げられる。これにより、膜厚が薄く均一なレジスト材を用いることができる。また、ゲート材のエッチングにおいて、従来構造では、薄いゲート絶縁膜でドライエッチング加工を止める必要があり、そのため、加工材とゲート絶縁膜との間に、高い選択比を得ることが求められた。これに対して、本発明構造では、フィン上面にゲート酸化膜に比べると極めて厚い30nmの酸化膜があり、これがゲート加工時のストッパー層、すなわちフィンの保護層になる。そのため、容易にゲート加工することができる。ここではフィン上面の保護層として、SOI膜厚調整に用いた熱酸化膜を用いたが、これ以外にもシリコン窒化膜や、さらにゲート材料に対して選択比のとれる材質の膜を用いて保護層を形成することができる。また、この保護膜はゲート材とフィン上部に挟まれる配置となる。そのため、素子電気特性上においても、側面とは異なる面方位がチャネル面となることを防ぐ働きをすることができる(図14)。

【0039】ゲート加工後、ゲート電極をマスクにイオン打ち込みすることで、ソース、ドレイン電極となる拡散層電極を形成する。このとき打ち込みを斜め方向から行うことで、フィンにドーピングすることができる。特にフィンの配置方向が決まっているので、効果的に両側から斜めにイオン注入することができる。ここで用いている断面はゲート電極を含む面になるため、ソース、ドレイン電極は図にはみえない。

【0040】層間絶縁膜930を堆積後、CMP法により平坦化し、ゲート電極430及びソース、ドレイン電極にそれぞれコンタクト孔を開孔する(図15)。金属層610を堆積加工することで配線を形成する。これにより本発明構造を得ることができる(図16)。

【0041】もちろん本発明構造及び形成プロセスは、トランジスタに関わるものであるため、基本的な配線層である初段の形成法を示したが、これ以降、既知の多層

配線技術をそのまま用いて集積半導体装置(ULSI)を形成することができる。

【0042】前記においては、薄いゲート絶縁膜を用いた場合の加工を容易なものとするために、新たなプロセスを加えられることを示したが、厚いゲート絶縁膜等を用いる場合には、縞状のSOIを形成したウエハを基板と考えて、通常のMOSFET形成を行えばよい。すなわち、縞状のSOIは、埋め込み酸化膜と接している下面以外の側面及び上面は、シリコンが露出している。そこで、素子分離領域のSOIを取り除いた後、ゲート絶縁膜を形成し、ゲート材を堆積する。レイアウト図に示したように、従来のMOSFETと同様なパターンであり、ゲート加工、ソース、ドレイン電極形成を行い、層間絶縁膜、配線を形成することができる。ここに見られるように、縞状にフィンを形成した後は、通常の基板と考えてプロセス構築すれば良い。

【0043】上記、実施例においては、DELT A構造素子のみを形成することを示した。次に、DELT A構造と通常構造デバイスを集積する形成方法を示す。

【0044】前記、実施例と同様にSOI基板を用いて、その表面に酸化膜による保護層を形成した後図6で説明したように、基板垂直方向からθの角度で対向する2方向から光線を入射させることで、ウエハ上に塗布したレジストに干渉縞による等間隔ピッチのパターンを形成する。このとき、パターンを形成するための露光に対するホトマスクを用いることなく微細ピッチパターンを得ることができる。このようなマスクを用いないでフィンを形成する場合でも、以下に示すような工程により一部にフィンを形成しないで、従来の通常構造のMOSFETを形成することができる。

【0045】チップ全体での構成を示すため、主たる素子領域500、510を示した平面レイアウトを図17に示す。本説明においては図に合わせて、それぞれフィン130を形成したフィン領域(図中左)及び通常構造を形成する周辺領域(図中右)と呼ぶこととする。図17にみられるように、周辺領域の素子のゲート電極430の配置は、フィン領域と必ずしも一致させる必要はなく、従来の素子レイアウトと同様に自由に置くことができる。

【0046】まず、SOI基板を用いて既知の浅溝素子分離法により素子分離領域を形成する。図18はSOI基板表面を熱酸化して保護膜910を形成後、シリコン窒化膜915を堆積し、図17の周辺領域の活性領域パターニングし、積層膜及び基板に溝を形成したところを示している。このとき溝幅を全て10ミクロン以下にすることで、後の工程で絶縁膜の埋め込み及び平坦化を容易なものにできる。溝内部に現われた、シリコン表面を洗浄したのち、酸化膜を堆積し、CMP法により平坦化することで、溝内に酸化膜917を詰め込む。この工程は既知の浅溝素子分離法であり、必要に応

じてウエル形成や溝表面の酸化、或いはエッジ形状処理等を行うことができる。図17に示した周辺領域を覆うマスクを用いて、フィン領域のシリコン窒化膜915をエッティングする。ここで、シリコン窒化膜915をマスクに酸化することでフィン部の保護膜916を必要な厚さに調整する(図19)。

【0047】このウエハを用いて全面にホトレジスト530を形成し、前述した露光法により、図20に示すように全面に微細ピッチの縞模様をパターニングする。

【0048】このレジストパターンをマスクにドライエッティングすることでフィン130を形成する。このとき周辺領域は、シリコン窒化膜915か溝内に堆積された厚い酸化膜917により保護されているため、フィンは形成されない。周辺領域の素子分離絶縁膜は保護膜と同じ酸化膜を用いているため、膜表面に凹凸が形成される。図中、この凹凸を明らかにするため、強調して示しているが、この凹凸の高さは保護膜厚さ程度に過ぎず、以下の素子形成上の障害とはならない(図21)。フィン130を形成した後、フィン領域の活性領域をパターニングすることで、フィン領域の素子分離領域を形成する。ウエットエッティングにより、周辺部に残るシリコン窒化膜を除去した後、フィン側面及び周辺部の活性領域表面のシリコンを露出させ、ゲート絶縁膜950を形成する(図22)。

【0049】ゲート材を堆積後、パターニングを行い、ゲート電極430、435を加工する。このとき、フィン領域と周辺部を分けて別々に加工することで、加工を容易にすることができます(図23、図24、図25)。図23はゲート材を堆積後、平坦化したところ、図24はフィン領域のゲート加工を行ったところ、図25は周辺領域の加工を行った様子を示している。図26に、層間絶縁膜形成後、コンタクト孔を形成して金属層610、620を配線として置いた様子を示した。このように、従来MOSFETとDELT A構造を集積することができる。

【0050】次に、異なるDELT A構造形成法を用いた場合を説明する。図27は平面レイアウト図、図28から図31は断面を用いてその形成法を説明するものである。図28から図31では、左側に図27のCC'断面、右側に図27のDD'断面を示している。

【0051】上述の実施例と同様に、SOI基板を用いて保護層を形成する。その後、既知の位相シフトマスクを用いてフィンのパターニングを行う。

【0052】フィン130を形成した後、30nmの多結晶シリコン240を堆積し、基板垂直方向から角度をもった斜めイオン打ちこみ法を用いて、この多結晶シリコン層に不純物をドーピングする。この際、NMOS及びPMOS領域に対して、それぞれN型及びP型の不純物を用いれば良い。CVD法を用いて、酸化膜960を200nm堆積する。多結晶シリコン240は、フィン

に接しているため、この堆積に当たっては、不純物拡散を抑えた低温の堆積条件を選ぶ必要がある(図28)。

【0053】図27においてソース、ドレインとして示した引出しパッドをパターニングし、酸化膜960と多結晶シリコン240の積層膜を加工する。このとき、十分なオーバーエッティングを加えることでフィン側面の単結晶シリコンを露出させ、かつ、ソース、ドレイン間を完全に分断するように多結晶シリコンをエッティングする(図29)。30nmのシリコン酸化膜965を堆積した後、ソース、ドレインの積層膜側面にスペーサを形成するようにドライエッティングを行う。このとき、SOI膜厚及び保護層厚さを加えたフィン130の高さ相当のオーバーエッチを行うことで、フィン側面の酸化膜を取り除き、シリコン面を露出させる。このとき、オーバーエッチを行うソース、ドレイン周囲のスペーサは酸化膜であるため、保護層は、シリコン窒化膜或いは酸化膜と窒化膜の積層構造を用いればよい。スペーサをシリコン窒化膜により形成する場合、酸化膜を用いることでフィンをエッティングから保護することができる(図30)。

【0054】露出したフィン側面にゲート絶縁膜(図示せず)をつけ、さらに、ゲート電極材を堆積する。この構造では、ゲート電極430の加工は、ゲート絶縁膜を加工のストップーとして用いる従来のプロセスと異なり、積層されたソース、ドレインの引き出し層となる多結晶シリコン上の厚い酸化膜か、SOIの埋め込み酸化膜をストップーとすることができる。そのため、加工が容易なため、さまざまなゲート電極材料を用いることができる。前記実施例と同様に、シリコン・ゲルマニウム混晶だけでなく、従来加工が困難と考えられていたタンゲステンやチタンナイトライド等を用いることができる(図31)。

【0055】この構造では、いわゆる拡散層電極及びその引出し部をゲート加工前に形成することになる。そこで、微細ピッチの縞状のフィンを形成した後、全面に多結晶シリコンを堆積することで、図28に示したようなフィンを有する一種のSOI基板を得ることができるものと考えることができる。すなわち、図28の構造を基板と考えることで、従来と同じレイアウトで、素子分離領域の多結晶シリコン層及びフィンをエッティングした

後、多結晶シリコン引き出し部のソース、ドレインを分割するようにチャネル領域に溝部のパターニングを行い、フィンを残して、多結晶シリコンをエッティング除去する。N及びPMOSの素子導電型に合せてイオン打ちこみ法により不純物を多結晶シリコンにドーピングする。このとき、フィン上の保護層がイオン打ちこみに対してもマスクとして働くようにする。フィン側面及び引き出し層の多結晶シリコン表面にゲート絶縁膜を形成し、ゲート電極材を堆積した後に加工を行う。以下、通常の層間絶縁膜及び配線形成工程をとることができる。

【0056】また、この構造形成に当たって、フィンを

加工した後、全面にN型不純物をドーピングした多結晶シリコンを非晶質状態で堆積したのち、PMOS形成部の活性領域を、引き出し層を含む形で開口パターニングし、その多結晶シリコンをエッチングする。さらに、ボロンをドーピングしたシリコン・ゲルマニウム混晶245を堆積し、表面をCMP法により研磨することで平坦化する(図32)。このとき、エッチングされていないN型多結晶シリコン240上の混晶を完全に取り除き、N型層表面ができるようにする。この平坦化CMPにおいて、PMOS活性領域の大きさに上下限値を置くことで、CMPの制御性を高めることができる。平坦化において課題となるのは、大きなパターンではディッシングと呼ばれるパターン中央部での研磨量が周辺に比べ増大する現象である。この場合では、開口したPMOS領域が大きいと、その中央部の研磨が過剰になることが予測される。これに対して、例えば、矩形の開口の場合、短辺の大きさを10ミクロン以下とする規則を用いることで、ウエハ面内のほとんどが多結晶シリコンと混晶が積層された形となるため、混晶の膜厚相当のCMP研磨を行うことで、ディッシングをおこすことなく不要部分の混晶を取り除くことができる。

【0057】以下、厚い絶縁膜を堆積した後(図32)、活性領域をパターニングし、フィン及び多結晶シリコンによる引き出し層をエッチングする(図33)。このとき、多結晶シリコンと絶縁膜との間に、耐熱性の金属、例えばタンクスチンシリサイドや、チタンナイトライドやタンクスチンナイトライドをバリア層とした積層金属構造を堆積することで、多結晶シリコン層の実効的抵抗を低減することができる。チャネルとなるソース・ドレイン間の溝をパターニングし、フィンを残して絶縁膜及び多結晶シリコン引出し層をエッチングすることで、フィン側面にシリコン表面を露出させる。薄く絶縁膜を堆積した後、引き出し層周辺にスペーサーを形成し、さらにフィン高さに比べて十分なオーバーエッチングを加えることで、フィン側面のシリコンを再び露出させる。以下、ゲート絶縁膜を形成し、さらにゲート電極材を堆積し、パターニングして加工することで、DELT A構造を得ることができる。ここでも、配線工程については省略する。

【0058】また、この構造で素子特性に影響するのは、フィンに形成されたチャネルである。そのため、図34にあるソース、ドレインを分ける溝部160、170を形成しなければ、フィンに影響することなく他の加工を施すことができる。すなわち、図34に示すように、複数の素子(ここでは2個の素子)がある場合、ソース、ドレインの引き出しパッドを作り分けることで、低温プロセスで形成できる異なるゲート絶縁膜やゲート材を用いることができる。図34のパッド1パターン(ハッチング領域、溝部160)を加工する。これにより素子Aのゲートを上記ゲート形成プロセスに従って作

成する。つぎにパッド2パターン(溝部170)により素子Bのゲート加工を行う。このとき素子Bのフィンの周囲は、パッド層により覆われているため、素子Aのゲート絶縁膜やゲート材が取りきれていない場合にも素子特性上問題を起こすことはない。よって、これにより異なる材質のものをゲート電極とすることができます。

【0059】本発明方式が、集積半導体装置で有効であることを説明する。図35は代表的なメモリ装置であるCMOS6つのトランジスタを用いたSRAMのレイアウトを示したものである。全体の配置を説明するため、ゲートと拡散層をつなぐ配線280は太線で模式的に示した。261はNMOSの、262はPMOSの活性領域、462はメモリセルの記憶保持ゲート電極、461はワード線につながるゲート電極である。配線280により、ゲート電極462とNMOS及びPMOSの活性領域261、262の拡散層電極が接続されている。このセル構造においても、図36に示すようにフィン130を配置することでメモリを形成することができる。このとき、ワード線につながる素子と記憶保持素子との駆動力比を得るために、ワード線側は、一つのフィンを配置し、記憶保持側に2つのフィンを配置する。また、このフィンは2つのうち一方を長くのばすことでワード線側素子のフィンとすればよい。その後、図37に示すように接続層260によってこれらのフィンを接続すればよい。

【0060】図38は、代表的論理ゲートである3NANDのCMOS等価回路図である。集積装置における代表的素子配置として、ソース、ドレインを共通にして複数の素子を配置する、いわゆるAND型配置のものと、他素子のドレインをソースとして、いわゆる縦積みにするものがある。NANDにおいては、PMOSはAND型、NMOSは縦積み配置をとることから、NANDにおいて代表的配置をみることができる。図39に従来素子での配置例を示した。ここで分かるのは、従来においても、6つのトランジスタのゲート配置は平行に置かれており、ゲート配置方向の制約のです本発明方式においても、大きな制約とはならない点である。本発明によるレイアウトを図40に示した。フィン130は、NMOS及びPMOS全てのゲートを潜るように配置されている。また、引き出し部が全てのフィンに被るように置かれていることが特長である。接続部260は、ゲート電極とフィンのつくる段差に形成することができる。この様子を図41に図40AA断面を用いて示した。

【0061】前記のように論理ゲートにおいて本発明方式によってゲート電極配置にかかる制約が許容できるものであることを示した。チップ上において考察したのが図42である。一般にチップはメモリ部と演算部に分けることができる。メモリ部においては、メモリのアレイと、X系Y系といったデコーダ等の周辺部がある。このとき、一般的にはアレイ上では配線を直交させるように

配置するため、繰り返しパターンであるアレイ内のゲート電極の向きを揃えることができる。(例えば図35)また、X系Y系といった周辺部においても、配線が平行に入ってくるため、例えばX系のなかでは、ゲート電極の向きを揃えることができる。よって、メモリ部では、アレイ、X系およびY系といった単位でフィンを形成すればよい。また、従来よりアレイと周辺部の間隔は最小化はされておらず、新たな制約を生むことはない。

【0062】演算部についてみると、一般的には、電源線(Vcc)及び接地線(GND)を対向させて平行に配置している。そのため、図39に示したNAND等論理ゲートも平行に配置されている。そのため、ゲート電極の向きを揃えることができる。

【0063】このように、アレイ等を単位として本発明方式を適用することで、従来と同様に集積半導体チップを形成することができる。

【0064】

【発明の効果】微細ピッチを有するDELT A構造デバイスを形成することにより、従来デバイスに比べて単位平面面積当たり大きな電流を駆動することができる高性能なCMOSを提供することができるようになる。

【図面の簡単な説明】

【図1】DELT A構造を説明する素子平面レイアウト図。

【図2】図1に示したDELT A構造の素子断面構造図。

【図3】DELT A構造を説明する素子断面構造図。

【図4】従来方式における問題を説明する模式図。

【図5】本発明方式を説明する平面模式図。

【図6】本発明方式に用いるパターニング法を説明する模式図。

【図7】本発明方式に用いるその他のパターニング法を説明する模式図。

【図8】本発明方式に用いるその他のパターニング法を説明する模式図。

【図9】本発明の第1の実施例を説明する平面レイアウト図。

【図10】本発明の第1の実施例の製造工程を説明する素子断面構造図。

【図11】本発明の第1の実施例の製造工程を説明する素子断面構造図。

【図12】本発明の第1の実施例の製造工程を説明する素子断面構造図。

【図13】本発明の第1の実施例の製造工程を説明する素子断面構造図。

【図14】本発明の第1の実施例の製造工程を説明する素子断面構造図。

【図15】本発明の第1の実施例の製造工程を説明する素子断面構造図。

【図16】本発明の第1の実施例の製造工程を説明する

素子断面構造図。

【図17】本発明の第2の実施例を説明する平面レイアウト図。

【図18】本発明の第2の実施例の製造工程を説明する素子断面構造図。

【図19】本発明の第2の実施例の製造工程を説明する素子断面構造図。

【図20】本発明の第2の実施例の製造工程を説明する素子断面構造図。

10 【図21】本発明の第2の実施例の製造工程を説明する素子断面構造図。

【図22】本発明の第2の実施例の製造工程を説明する素子断面構造図。

【図23】本発明の第2の実施例の製造工程を説明する素子断面構造図。

【図24】本発明の第2の実施例の製造工程を説明する素子断面構造図。

【図25】本発明の第2の実施例の製造工程を説明する素子断面構造図。

20 【図26】本発明の第2の実施例の製造工程を説明する素子断面構造図。

【図27】本発明の第3の実施例を説明する平面レイアウト図。

【図28】本発明の第3の実施例の製造工程を説明する素子断面構造図。

【図29】本発明の第3の実施例の製造工程を説明する素子断面構造図。

【図30】本発明の第3の実施例の製造工程を説明する素子断面構造図。

30 【図31】本発明の第3の実施例の製造工程を説明する素子断面構造図。

【図32】本発明の第4の実施例の製造工程を説明する素子断面構造図。

【図33】本発明の第4の実施例の製造工程を説明する素子断面構造図。

【図34】本発明の第5の実施例を説明する平面レイアウト図。

【図35】従来メモリセルを説明する平面レイアウト図。

40 【図36】本発明方式によるメモリセルを説明する平面レイアウト図。

【図37】本発明方式によるメモリセルを説明する平面レイアウト図。

【図38】NANDゲートを説明する等価回路図。

【図39】従来方式によるNANDゲートを説明する平面レイアウト図。

【図40】本発明方式によるNANDゲートを説明する平面レイアウト図。

50 【図41】本発明方式によるNANDゲートの特長を説明する素子断面構造図。

【図 4 2】本発明方式によるチップ構成を説明する平面図。

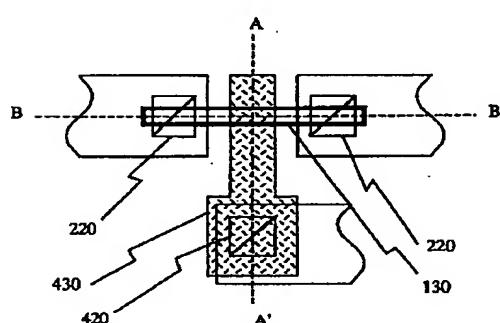
【符号の説明】

- 1 0 0 … 基板
- 1 0 5 … ウエハ
- 1 1 0 … 活性領域
- 1 2 0 … S O I
- 1 3 0 … フィン
- 1 6 0, 1 7 0 … 溝部
- 2 0 0 … ソース電極、ドレイン電極（拡散層電極）
- 2 2 0 … コンタクトホール
- 2 4 0 … 多結晶シリコン（引き出しパッド）
- 2 4 5 … シリコン・ゲルマニウム混晶（引き出しパッド）
- 2 6 0 … 接続層
- 2 8 0 … 配線
- 2 6 1, 2 6 2 … 活性領域

- 3 0 0 … チャネル
- 4 2 0 … (ゲート電極の) コンタクトホール
- 4 6 1, 4 6 2, 4 3 0, 4 3 5 … ゲート電極
- 4 4 0 … タングステンシリサイド
- 6 0 0, 6 1 0, 6 2 0 … 金属層
- 5 0 0, 5 1 0 … 素子領域
- 5 3 0 … ホトレジスト
- 3 0 0, 4 0 1 … 多結晶シリコン引き出し層
- 8 0 0 … スリット
- 10 9 0 0 … 埋め込み酸化膜
- 9 1 0, 9 1 6 … 保護膜
- 9 1 5 … シリコン窒化膜
- 9 1 7, 9 2 0, 9 6 0 … 酸化膜
- 9 3 0 … 層間絶縁膜
- 9 6 5 … シリコン酸化膜
- 9 5 0 … ゲート絶縁膜。

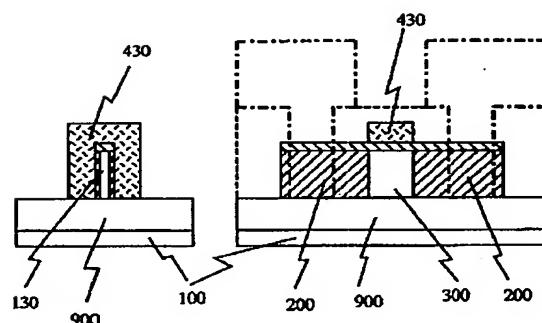
【図 1】

図 1



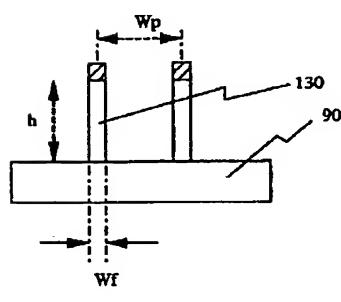
【図 2】

図 2



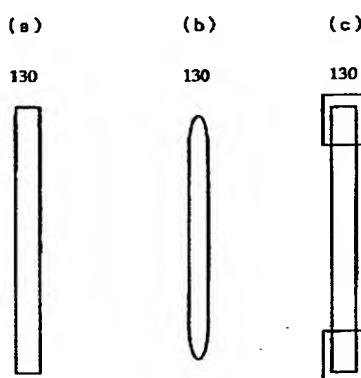
【図 3】

図 3



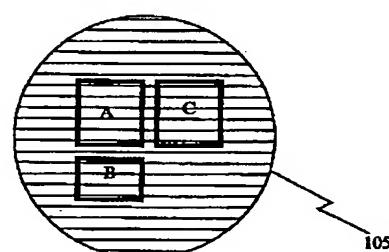
【図 4】

図 4



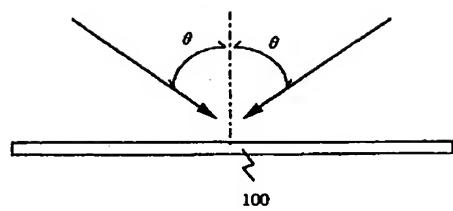
【図 5】

図 5



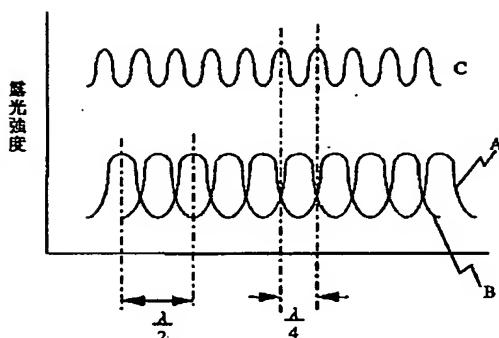
【図 6】

図 6



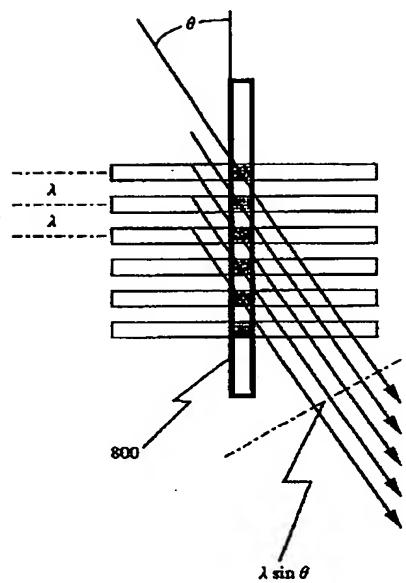
【図 7】

図 7



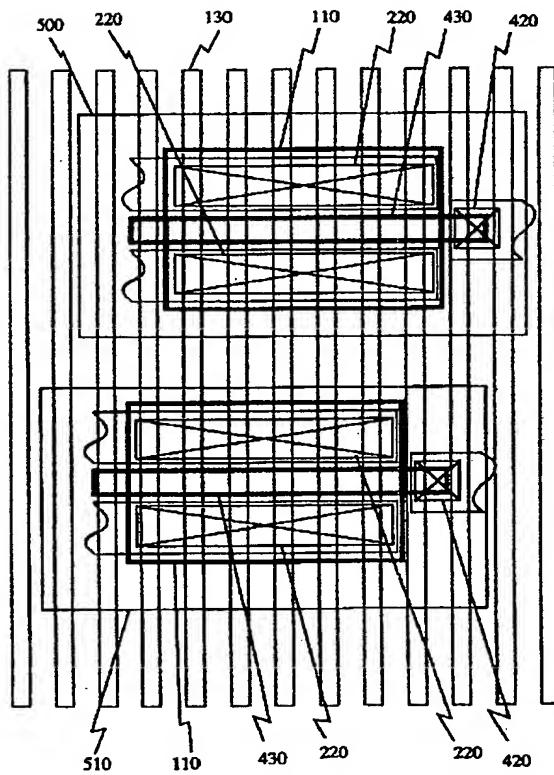
【図 8】

図 8



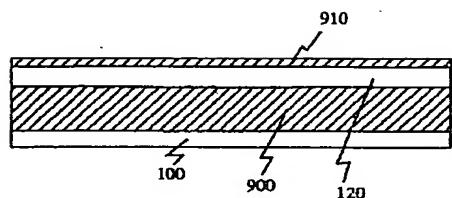
【図 9】

図 9



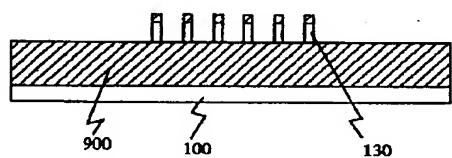
【図 10】

図 10



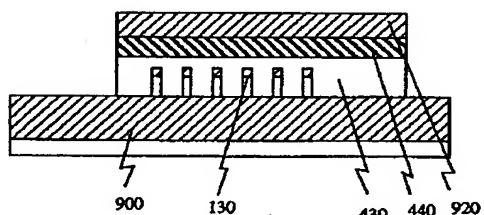
【図 12】

図 12



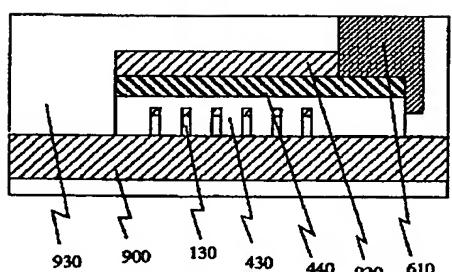
【図 14】

図 14



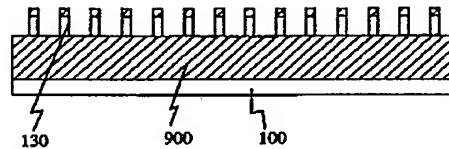
【図 16】

図 16



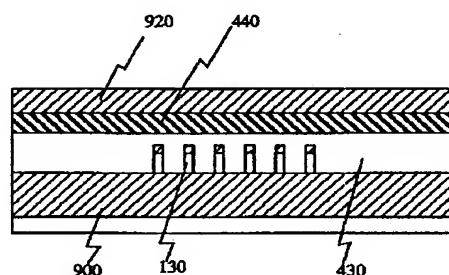
【図 11】

図 11



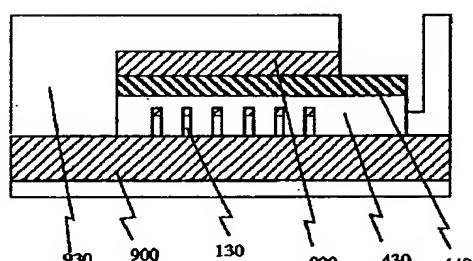
【図 13】

図 13



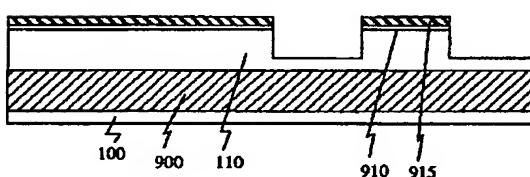
【図 15】

図 15



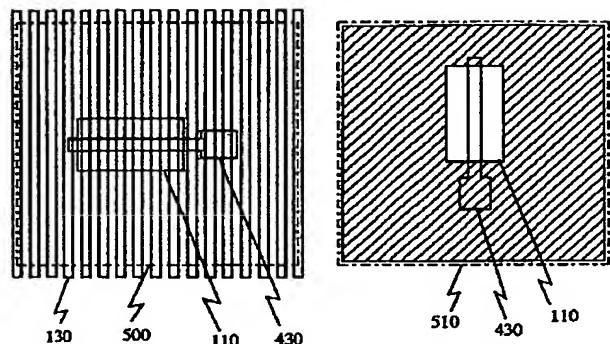
【図 18】

図 18



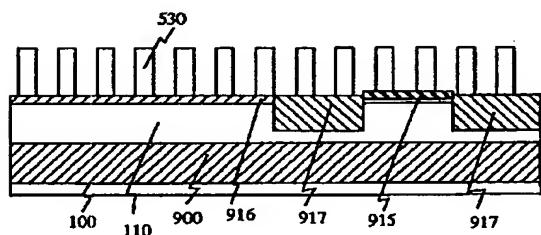
【図 17】

図 17



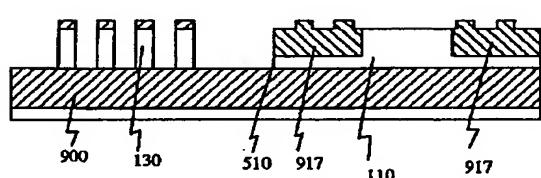
【図 20】

図 20



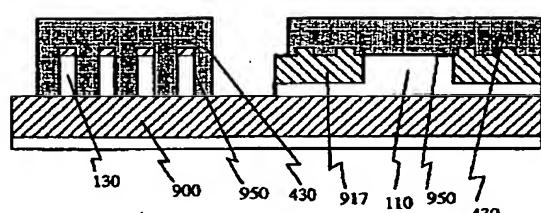
【図 22】

図 22



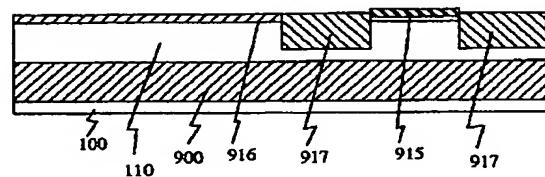
【図 24】

図 24



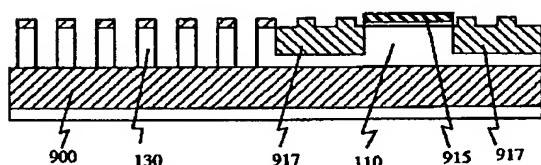
【図 19】

図 19



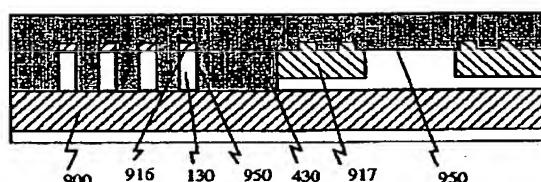
【図 21】

図 21



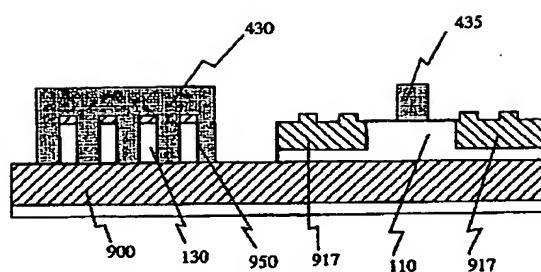
【図 23】

図 23



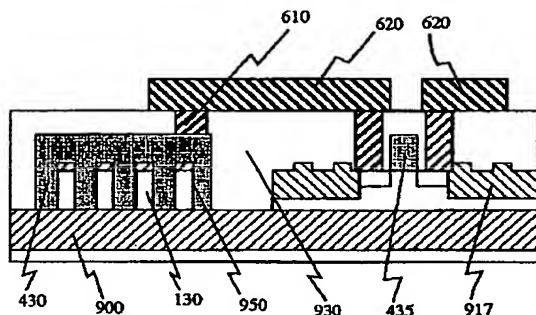
【図 25】

図 25



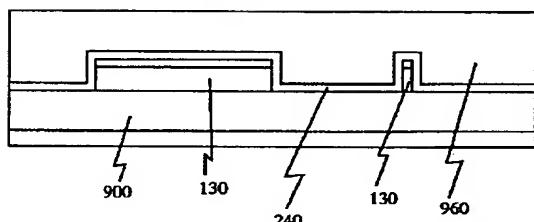
【図 26】

図 26



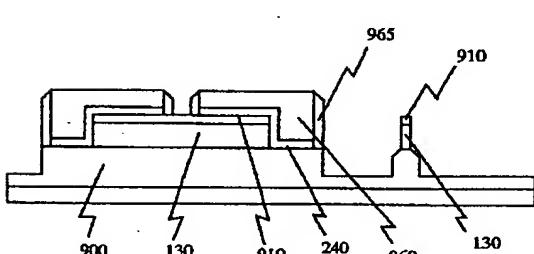
【図 28】

図 28



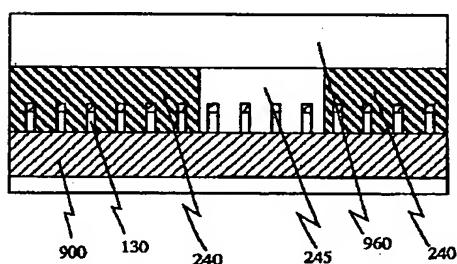
【図 30】

図 30



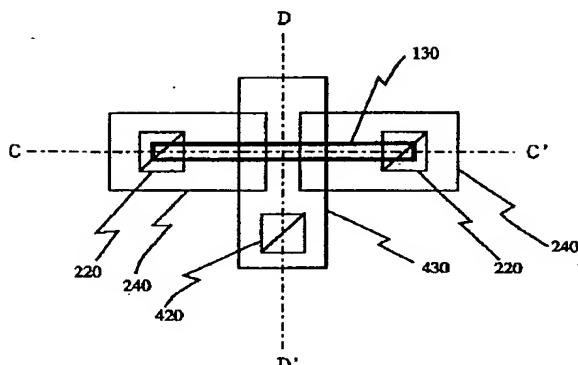
【図 32】

図 32



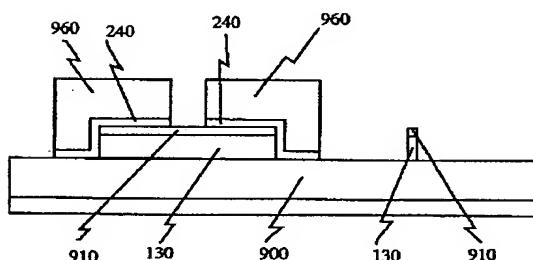
【図 27】

図 27



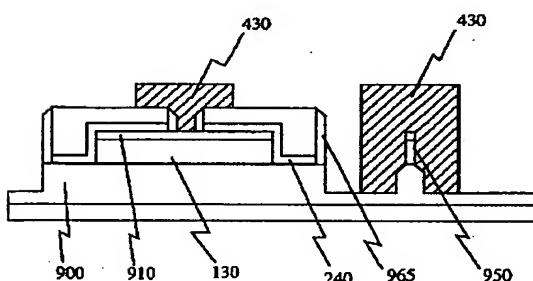
【図 29】

図 29



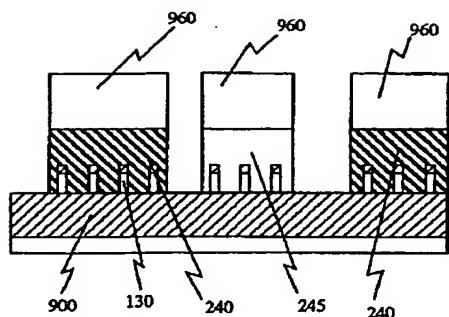
【図 31】

図 31



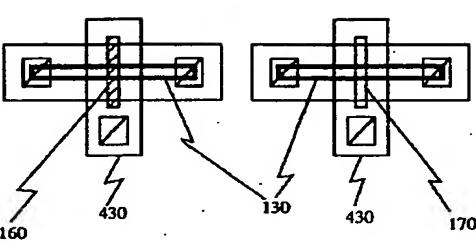
【図 3 3】

図 3 3



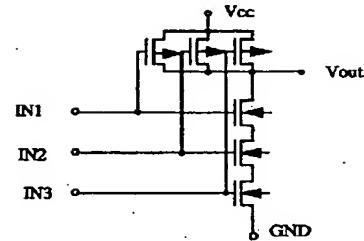
【図 3 4】

図 3 4



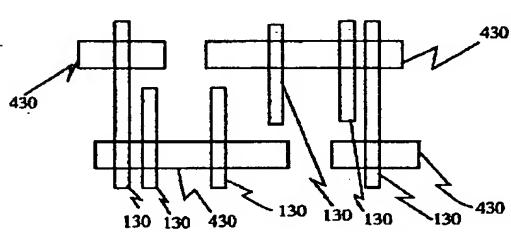
【図 3 8】

図 3 8



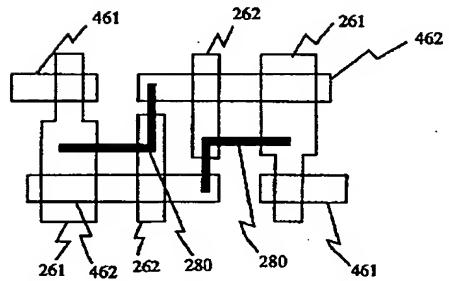
【図 3 6】

図 3 6



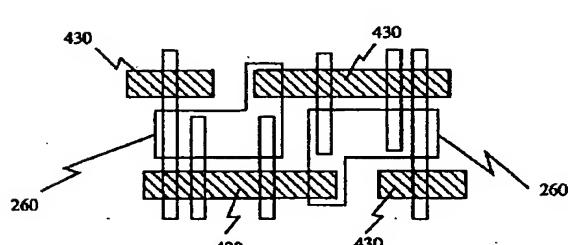
【図 3 5】

図 3 5



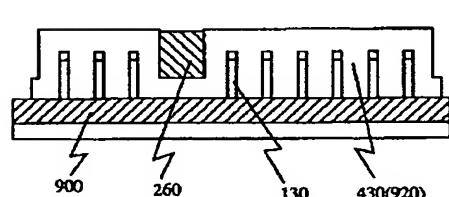
【図 3 7】

図 3 7



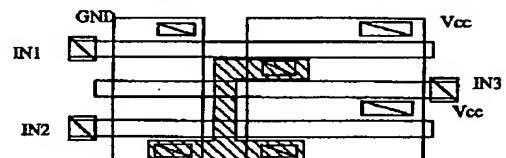
【図 4 1】

図 4 1



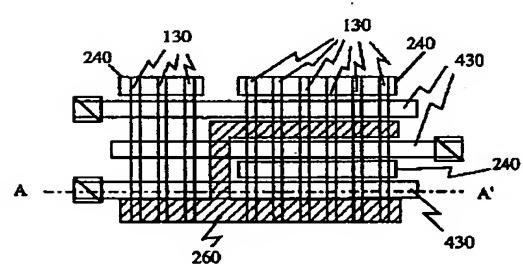
【図 3 9】

図 3 9



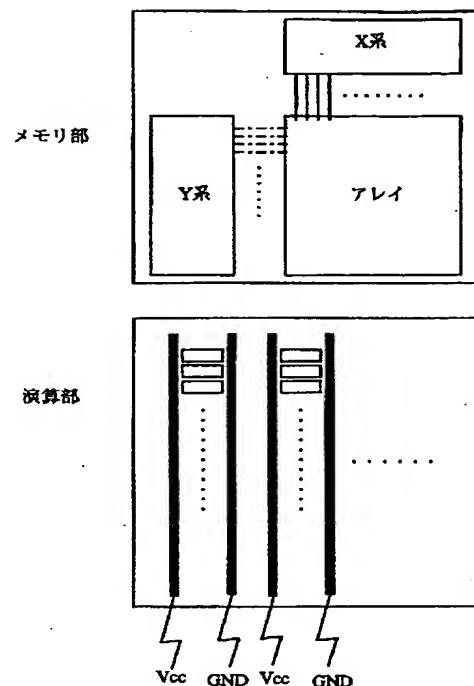
【図 4 0】

図 4 0



【図 42】

図 42



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	マーク	(参考)
27/08	331	27/10	381	
27/092			671	C
27/10	481	21/30	528	
27/108		29/78	613	B
27/11				

Fターム(参考) 5F046 AA11 BA04 CB17
5F048 AA01 AC04 BA09 BB02 BB04
BB08 BB11 BB12 BC01 BD01
BD06 BE08 BF03 BG14 DA18
DA21
5F083 BS03 BS11 BS12 BS15 BS23
BS24 BS31 BS35 BS44 GA09
JA05 JA19 JA32 JA35 LA10
ZA15
5F110 AA04 BB03 BB04 BB07 DD05
DD13 DD24 EE01 EE05 EE08
EE14 EE22 EE29 EE45 FF01
FF02 FF04 FF23 GG02 GG12
GG19 GG22 GG24 GG29 GG58
HJ14 HK09 HM17 NN13 NN14
NN23 NN24 NN33 NN37 NN65
NN77 NN78 QQ01 QQ19

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.